



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 198 46 232 A 1**

⑤① Int. Cl.<sup>7</sup>:  
**H 01 L 21/283**

②① Aktenzeichen: 198 46 232.8  
②② Anmeldetag: 7. 10. 1998  
④③ Offenlegungstag: 9. 3. 2000

**DE 198 46 232 A 1**

⑥⑥ Innere Priorität:  
198 40 194. 9      03. 09. 1998

⑦① Anmelder:  
Fraunhofer-Gesellschaft zur Förderung der  
angewandten Forschung e.V., 80636 München, DE

⑦④ Vertreter:  
Schoppe & Zimmermann, 81479 München

⑦② Erfinder:  
Ramm, Peter, Dr., 85276 Pfaffenhofen, DE

⑤⑥ Entgegenhaltungen:  
US      51 66 097  
US      51 22 856  
US      45 05 799  
US      39 86 196

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zur Herstellung eines Halbleiterbauelements mit Rückseitenkontaktierung

⑤⑦ Bei einem Verfahren zur Herstellung eines Halbleiterbauelementes mit Rückseitenkontaktierung werden zunächst Bauelementstrukturen des Halbleiterbauelements in einer ersten Hauptoberfläche eines Halbleitersubstrats erzeugt. Nachfolgend wird eine Ätzgrube in der zweiten Hauptoberfläche des Halbleitersubstrats gebildet, die sich bis zu einem hochdotierten Anschlußbereich der Bauelementstruktur oder bis zu einer Metallisierungsebene derselben erstreckt. Im Anschluß daran wird auf zumindest Bereichen der zweiten Hauptoberfläche, die die Ätzgrube umfassen, derart eine Isolationsschicht erzeugt, daß zumindest ein Abschnitt des hochdotierten Anschlußbereichs oder der Metallisierungsebene freibleibt. Anschließend wird eine Metallisierungsschicht auf der Isolationsschicht erzeugt, so daß die Metallisierungsschicht den freibleibenden Abschnitt des hochdotierten Anschlußbereichs oder der Metallisierungsebene mit dem Kontaktbereich auf der zweiten Hauptoberfläche des Halbleitersubstrats elektrisch leitfähig verbindet.

**E 198 46 232 A 1**

Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung eines Halbleiterbauelements mit Rückseitenkontaktierung, das vorteilhaft verwendet werden kann, um beispielsweise einen ionensensitiven Feldeffekttransistor zu fertigen. Die Erfindung eignet sich jedoch zur Herstellung beliebiger Halbleiterbauelemente mit einer Rückseitenkontaktierung.

Verfahren zum Herstellen ionensensitiven Feldeffekttransistoren mit Rückseitenkontakt sind beispielsweise in der DE 44 30 812 C beschrieben. Bei den dort beschriebenen Verfahren werden MOS-Transistoren und ISFET-Sensoren auf demselben Substrat zusammen mit einem Rückseitenkontakt realisiert, wobei die Realisierung der Transistoren, der Sensoren und der Rückseitenkontaktierung parallel erfolgt.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein einfaches Verfahren zur Herstellung von Bauelementen mit einer Rückseitenverdrahtung zu schaffen. Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 gelöst.

Die vorliegende Erfindung schafft ein Verfahren zum Herstellen eines Halbleiterbauelements mit einer Rückseitenkontaktierung mit folgenden Schritten:

Erzeugen von Bauelementstrukturen des Halbleiterbauelements in einer ersten Hauptoberfläche eines Halbleitersubstrats;

Bilden einer Ätzgrube in der zweiten Hauptoberfläche des Halbleitersubstrats, die sich bis zu einem hochdotierten Anschlußbereich oder einer Metallisierungsebene der Bauelementstruktur erstreckt;

Erzeugen einer Isolationsschicht auf zumindest Bereichen der zweiten Hauptoberfläche, die die Ätzgrube umfassen, derart, daß zumindest ein Abschnitt des hochdotierten Anschlußbereichs freibleibt; und

Erzeugen einer Metallisierungsschicht auf der Isolationsschicht, derart, daß die Metallisierungsschicht den freibleibenden Abschnitt des hochdotierten Anschlußbereichs oder der Metallisierungsebene mit einem Kontaktbereich auf der zweiten Hauptoberfläche des Halbleitersubstrats elektrisch leitfähig verbindet.

Soll eine solche Rückseitenkontaktierung bei einem Halbleitersubstrat geringer Dicke ( $< 50 \mu\text{m}$ ) durchgeführt werden, wird vorzugsweise nach dem Erzeugen der Bauelementstrukturen ein Handhabungssubstrat auf die erste Hauptoberfläche des Halbleitersubstrats aufgebracht, woraufhin das Halbleitersubstrat von der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche her gedünnt wird.

Die vorliegende Erfindung betrifft somit ein Verfahren zur Herstellung einer Schaltungsstruktur mit einer Rückseitenkontaktierung. Das Verfahren ist mittels CMOS-kompatibler Standard-Halbleitertechnologien durchführbar und realisiert frei wählbare Kontakte zwischen der Schaltungsstruktur und der Rückseitenmetallisierung. Die Kontaktierung erfolgt direkt in die hochdotierten Anschlußgebiete oder auf eine Metallisierungsebene der Schaltungsstruktur.

Bei dem erfindungsgemäßen Verfahren wird die Bauelementlage in dem Substrat mit den entsprechenden Schaltungsstrukturen zunächst fertig prozessiert, woraufhin das Bauelementsubstrat gedünnt wird. Nachfolgend werden von der Substratrückseite her Kontaktlöcher durch die Bauelementsubstratschicht bis auf die zu kontaktierenden hochdotierten Anschlußgebiete oder eine Metallisierungsebene der Schaltungsstruktur geöffnet und metallisiert, so daß eine elektrisch leitfähige Verbindung zwischen Kontaktbereichen auf der Rückseite des Substrats und den Schaltungsstrukturen hergestellt sind.

Das erfindungsgemäße Verfahren schafft somit Halbleiterbauelemente, bei denen vorteilhafterweise die Rückseite des Bauelements für die Verdrahtung genutzt wird. Dieser Freiheitsgrad ermöglicht beispielsweise die Rückseitenkontaktierung von großflächigen Sensorstrukturen, deren Verdrahtung bei einer Vorderseitenverdrahtung nur in Gebieten neben den Sensorflächen realisiert werden kann, und steigert somit deutlich die Integrationsdichte. Weiterhin ermöglicht das beschriebene Verfahren die Verlagerung von Verdrahtungsebenen, die beispielsweise zur Erreichung eines größeren Signal-Rausch-Verhältnisses, einen erhöhten Flächenbedarf aufweisen, auf die Rückseite des Bauelementsubstrats.

Bei dem erfindungsgemäßen Verfahren wird zunächst eine Bauelementlage innerhalb eines Substrats mit fertig prozessierten Schaltungsstrukturen realisiert, wobei zur Reduzierung des Flächenbedarfs der Rückseitenverdrahtung bei bevorzugten Ausführungsbeispielen nachfolgend das Bauelementsubstrat von der Rückseite her gedünnt wird. Diese Dünnung kann mittels bekannter Techniken, beispielsweise naßchemischem Ätzen oder mechanischem oder chemomechanischem Schleifen, bis zu einer minimalen Dicke von  $50 \mu\text{m}$  erfolgen. Bei kleineren angestrebten Dicken werden Maßnahmen zur Stabilisierung des Bauelementsubstrats notwendig, wobei hierzu ein Handhabungssubstrat auf die Vorderseite des Bauelementsubstrats in der die Bauelementstrukturen gebildet sind, aufgebracht wird. Hierzu wird die Vorderseite des Bauelementsubstrats vorzugsweise mit einer Haftschrift versehen. Diese Haftschrift kann gleichzeitig eine passivierende und/oder planarisierende Funktion übernehmen. Nach diesem Aufbringen eines Handhabungssubstrats wird das Bauelementsubstrat dann von der Rückseite her gedünnt. Ist ein SOI-Substrat verwendet, kann bei dieser Dünnung die vergrabene Isolatorschicht als Ätzstop dienen. Bei dem erfindungsgemäßen Verfahren werden anschließend von der Rückseite des Bauelementsubstrats her Kontaktlöcher auf die zu kontaktierenden Gebiete geöffnet, woraufhin die Rückseite des Bauelementsubstrats und die Seitenwände der Kontaktlöcher isoliert werden. Nachfolgend wird eine Metallisierungsschicht mittels Standardverfahren aufgebracht, die aus einer oder mehreren Metallisierungsebenen bestehen kann. Somit können Kontakte zwischen hochdotierten Anschlußgebieten oder einer der Metallisierungsebenen des Bauelementsubstrats und einer Rückseitenmetallisierung des Substrats realisiert werden.

Ein bevorzugtes Ausführungsbeispiel der vorliegenden Erfindung wird nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

**Fig. 1 bis 3** schematische Querschnittsansichten zur Veranschaulichung des erfindungsgemäßen Verfahrens.

In **Fig. 1** ist ein Halbleitersubstrat **2** dargestellt, wobei an einer Oberfläche desselben bereits Bauelementstrukturen gebildet sind. Das Halbleitersubstrat **2** besteht vorzugsweise aus Silizium. In der Oberfläche des Halbleitersubstrats sind fertig prozessierte Schaltungsstrukturen und/oder Sensorflächen **4** gebildet. Ferner ist ein hochdotierter Anschlußbereich **6** vorgesehen. Die Sensorstrukturen **4** können beispielsweise über eine Metallisierungsschicht **8**, die beispielsweise aus einer Aluminiumlegierung besteht, mit dem hochdotierten Bereich **6** verbunden sein. Um eine Isolation der Metallisierungsschicht **8** von dem Halbleitersubstrat **2** zu gewährleisten, sind Isolatorschichten **10** vorgesehen. Die gesamte Oberfläche des Bauelementsubstrats ist mit einer dielektrischen Schicht **12** passiviert. Die in **Fig. 1** dargestellte Struktur kann ein Bauelementsubstrat sein, daß bereits von der Rückseite her gedünnt ist. Soll eine derartige Dünnung bis auf eine Dicke von weniger als  $50 \mu\text{m}$  erfolgen, ist es bevorzugt, auf der Vorderseite ein Handhabungssubstrat (nicht dargestellt) vorzusehen.

Wie nun in Fig. 2 gezeigt ist, wird nachfolgend von der Rückseite her eine Ätzgrube 14 in dem Halbleitersubstrat 2 gebildet, die bis zu dem Anschlußbereich 6 reicht. Es ist offensichtlich, daß beispielsweise bei der Herstellung einer Mehrzahl von Halbleiterbauelementstrukturen im Waferverbund gleichzeitig eine Mehrzahl solcher Ätzgruben geöffnet werden kann. Das Öffnen der Ätzgruben erfolgt vorzugsweise mittels eines anisotropen Naßätzens. Dazu wird bei bevorzugten Ausführungsformen der vorliegenden Erfindung nach dem Abscheiden einer geeigneten Hartmaskenschicht und deren Strukturierung, die mittels eines herkömmlichen Standardlithographieschrittes durchgeführt wird, das Ätzen mittels einer KOH- oder Cholin-Lösung oder einem Gemisch aus Monoethanolamin, Dimethylsulfid und Wasser realisiert. Sind als Halbleitersubstrat Siliziumscheiben der Kristallorientierung <100> verwendet, bilden sich hierbei Ätzgruben mit Öffnungsflanken von 55° zur Scheibenoberfläche aus. Nach dem Öffnen der Ätzgruben wird auf die Rückseite des Halbleitersubstrats 2 und gleichzeitig auf die Seitenwände der Ätzgrube 14 eine Isolierungsschicht 16 aufgebracht. Diese Isolierungsschicht dient zur elektrischen Isolation zwischen der nachfolgend realisierten leitfähigen Verbindung und dem Siliziumsubstrat. Die sich ergebende Struktur ist in Fig. 2 dargestellt.

In der Isolierungsschicht 16 wird dann in dem Abschnitt des Anschlußbereichs 6 eine Kontaktierungsöffnung 18 erzeugt, wobei alternativ die Isolierungsschicht 16 bereits mit einer solchen Öffnung erzeugt wird. Abschließend wird eine Metallisierungsschicht 20 auf die Isolierungsschicht 16 aufgebracht, so daß die Metallisierung in der Kontaktierungsöffnung 18 in Kontakt zu dem Anschlußbereich 6 ist. Somit ist eine einfache leitfähige Verbindung zwischen Kontaktbereichen auf der Rückseite des Halbleitersubstrats 2 und dem Anschlußbereich 6 hergestellt. Die Metallschicht 20 kann dabei zunächst ganz flächig abgeschieden werden und danach auf der Rückseite des Halbleitersubstrats 2 in der gewünschten Weise strukturiert werden.

Die vorliegende Erfindung schafft somit ein Verfahren zur Rückseitenkontaktierung von elektrischen Bauelementen, deren Prozessierung auf der Vorderseite abgeschlossen ist. Gemäß der vorliegenden Erfindung werden keine Prozesse zur Rückseitenkontaktierung durchgeführt, die sich auf die Prozessierung und/oder das Temperatur-Budget der fertig prozessierten Bauelemente auf der Vorderseite auswirken. Gemäß der vorliegenden Erfindung sind die Bauelementeprozessierung auf der Vorderseite und die Rückseitenkontaktierung vollständig unabhängig voneinander.

#### Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelements mit Rückseitenkontaktierung, mit folgenden Schritten:

Erzeugen von Bauelementstrukturen (4, 6, 8, 10) des Halbleiterbauelements in ersten Hauptoberfläche eines Halbleitersubstrats (2);

Bilden einer Ätzgrube in der zweiten Hauptoberfläche des Halbleitersubstrats (2), die sich bis zu einem hochdotierten Anschlußbereich (6) der Bauelementstruktur oder einer Metallisierungsebene der Bauelementstruktur erstreckt;

Erzeugen einer Isolationsschicht (16) auf zumindest Bereichen der zweiten Hauptoberfläche, die die Ätzgrube (14) umfassen, derart, daß zumindest ein Abschnitt des hochdotierten Anschlußbereichs (6) oder der Metallisierungsebene freibleibt; und

Erzeugen einer Metallisierungsschicht (20) auf der Isolationsschicht (16), derart, daß die Metallisierungs-

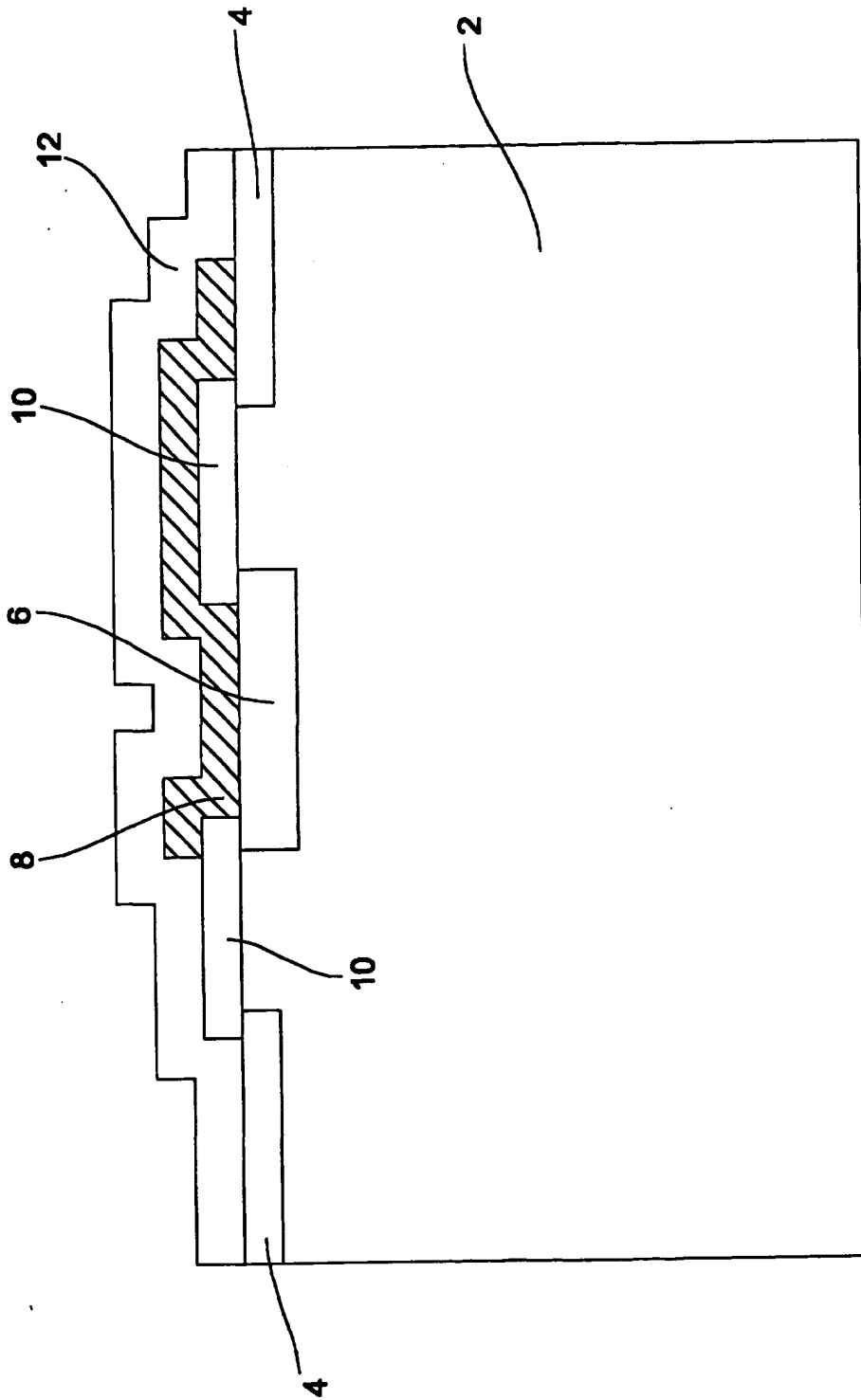
schicht (20) den freibleibenden Abschnitt (18) des hochdotierten Anschlußbereichs (6) oder der Metallisierungsebene mit einem Kontaktbereich auf der zweiten Hauptoberfläche des Halbleitersubstrats (2) elektrisch leitfähig verbindet.

2. Verfahren nach Anspruch 1, bei dem vor dem Bilden der Ätzgrube (14) ein Handhabungssubstrat auf die erste Hauptoberfläche des Halbleiterchips (2) aufgebracht wird, woraufhin das Halbleitersubstrat (2) von der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche her gedünnt wird.

---

Hierzu 3 Seite(n) Zeichnungen

---



**Fig. 1**

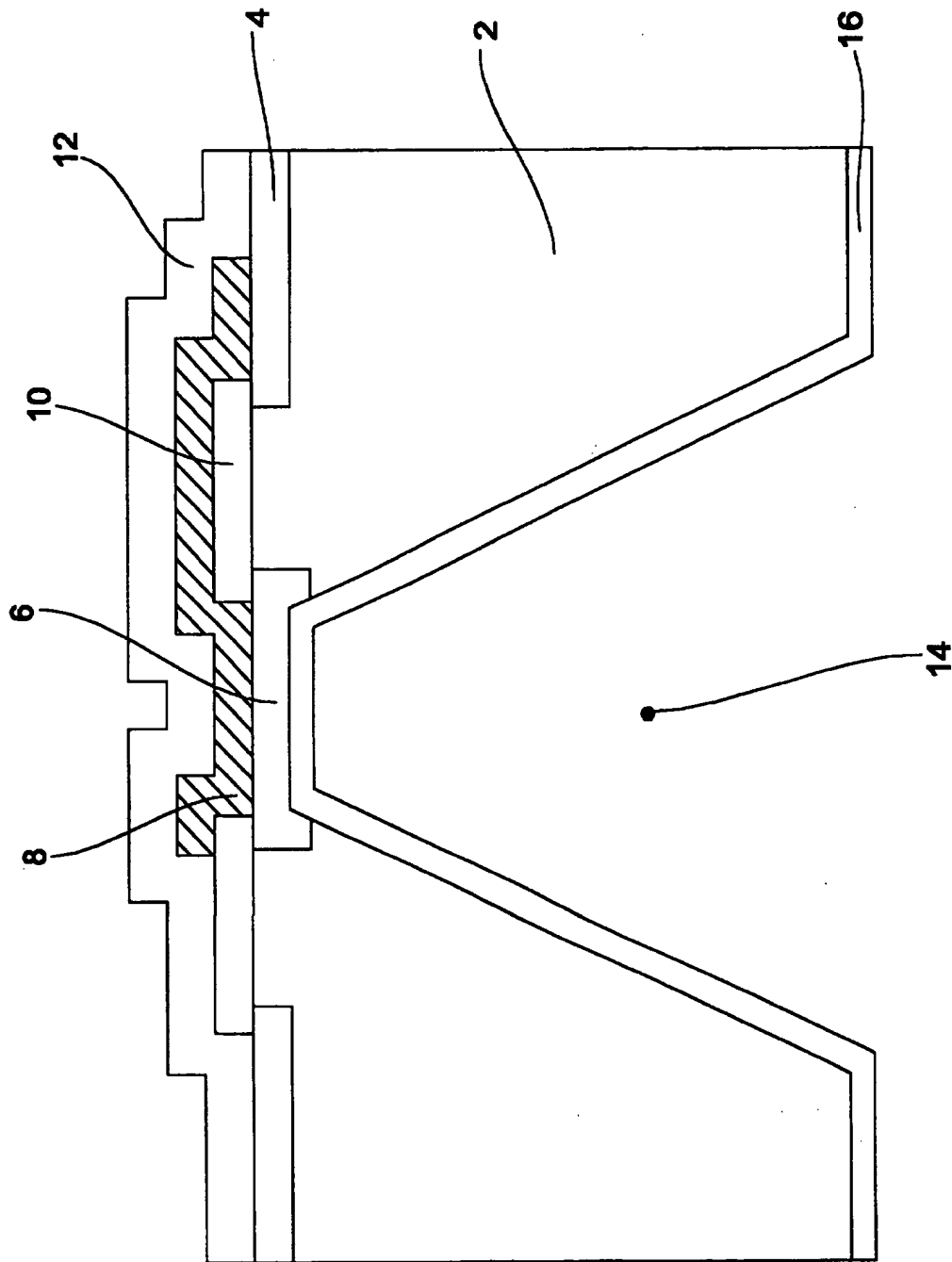


Fig. 2

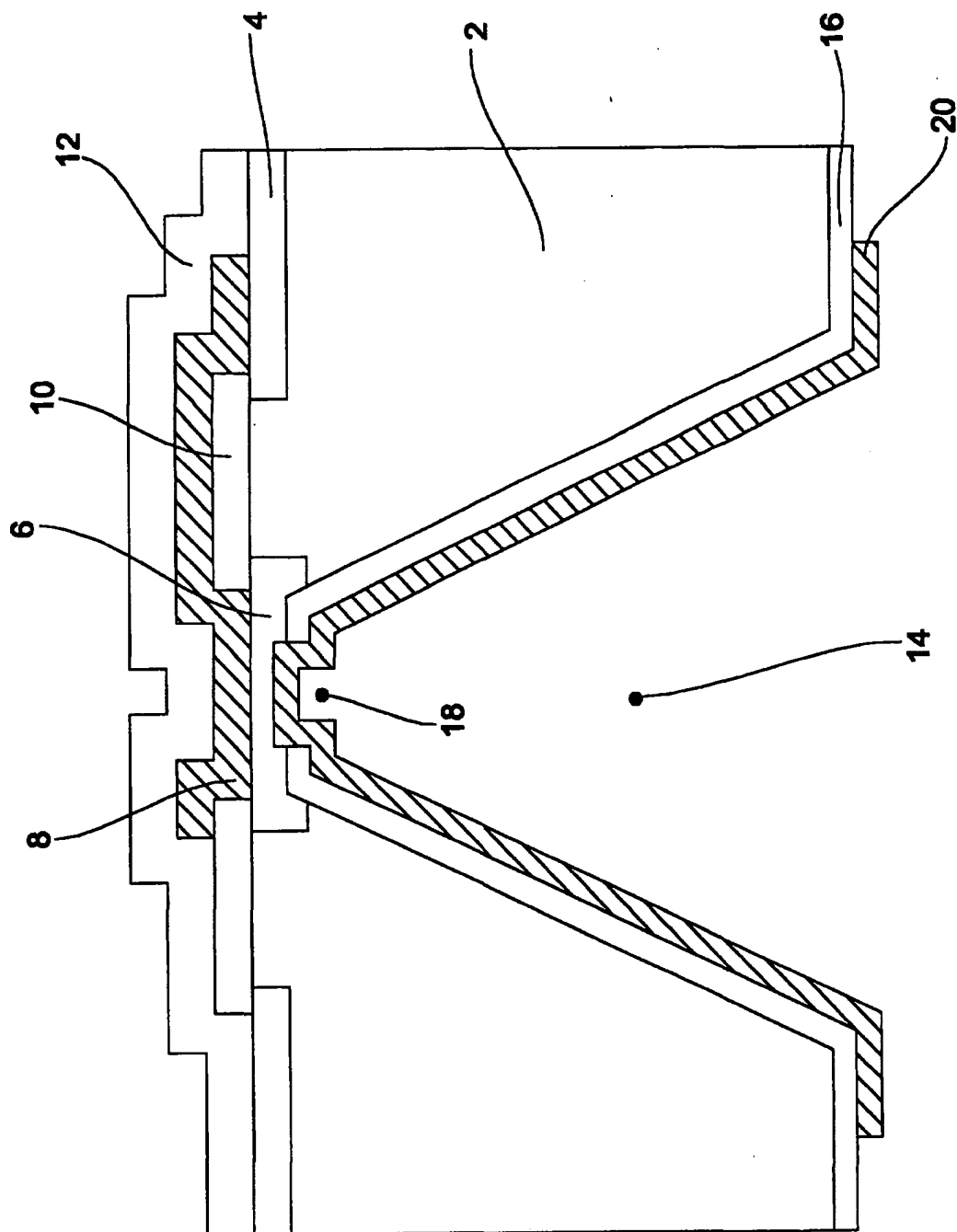


Fig. 3